

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-252963

(43)公開日 平成6年(1994)9月9日

(51)Int. Cl.<sup>5</sup>

H 0 4 L 27/22

H 0 4 B 1/26

識別記号

庁内整理番号

B 9297-5K

U

F I

技術表示箇所

審査請求 未請求 請求項の数1 F D (全 9 頁)

(21)出願番号

特願平5-56544

(22)出願日

平成5年(1993)2月22日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 大江 一郎

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

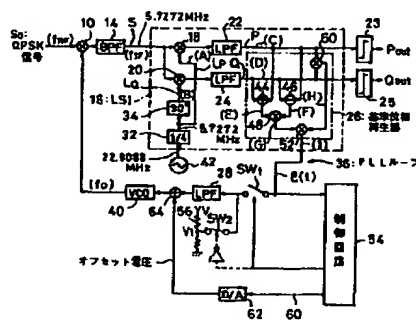
(74)代理人 弁理士 加藤 邦彦 (外1名)

(54)【発明の名称】 位相変調信号復調回路

(57)【要約】

【目的】 PLLループを用いた位相変調信号復調回路において、位相変調信号と基準信号の周波数差が大きくても、確実にロック状態に引き込めるようにする。

【構成】 QPSK信号S<sub>0</sub>は乗算器10でVCO40の出力信号とミキシングされて中間周波数のQPSK信号Sに変換される。信号Sは乗算器18、20で基準信号L<sub>r</sub>、L<sub>o</sub>により位相検波されて復調される。基準位相再生器26は復調信号からQPSK信号Sと基準信号L<sub>r</sub>との位相差を検出してVCO40を制御することによりPLLループ36をロックする。基準位相再生器26の出力ε(t)はQPSK信号Sと基準信号L<sub>r</sub>との周波数差の情報を含んでいる。起動当初、制御回路54はループスイッチSW<sub>1</sub>をオフして周波数差を検出し、差が大きいときはVCO40にオフセット電圧を与えてロックできる範囲に制御した後、SW<sub>1</sub>を閉じてロック状態に引き込む。オフセット電圧は起動後も与えつづける。



## 【特許請求の範囲】

【請求項1】位相変調信号をこれと一定の位相差で同期した基準信号で位相検波して復調する位相検波手段と、前記位相変調信号と前記基準信号との位相差を基準位相再生器で検出して、それに応じてVCOを駆動して当該位相変調信号と当該基準信号との位相関係を相対的に制御して、それらの位相差を前記一定の位相差に制御するPLLループと、このPLLループを前記基準位相再生器の出力と前記VCOの入力との間の位置でオン、オフするループスイッチと、前記基準位相再生器の出力信号の周波数を検出する周波数検出手段と、前記VCOに対し前記PLLループ以外から制御電圧をオフセット電圧として印加するオフセット電圧印加手段と、前記ループスイッチをオフして、前記基準位相再生器の出力信号の周波数を低下させる方向に前記オフセット電圧を変化させていき、当該周波数により当該PLLループがロックできる範囲内にいることが検出されたら当該オフセット電圧を与えつつながら前記ループスイッチをオンするループスイッチおよびオフセット電圧制御手段とを具備してなる位相変調信号復調回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、QPSK (Quadrature Phase Shift Keying : 4相位相変調) 信号等の位相変調信号を復調する回路に関し、PLL (Phase Locked Loop) 回路を用いて位相変調信号と基準信号の位相差を所定の状態に制御する際に、位相変調信号と基準信号の周波数差が大きくても、PLLループを確実にロック状態に引き込めるようにしたものである。

## 【0002】

【従来の技術】現在実用されている衛星放送は、音声にPCM方式が採用されており、PCM信号の変調方式としてQPSK方式が使用されている。このQPSK方式は5.7272MHzのサブキャリアを使用し、2ビットのPCM符号の変化をサブキャリアの位相変化0°, 90°, 180°, 270°に対応させて送信させる方式である。サブキャリアからPCMデータを復調するた

$$\begin{aligned} f_{rr} &= f_{fr} - (f_0 \pm 30 \text{ PPM}) \\ &= 100 \text{ MHz} - (94.2728 \text{ MHz} \pm 30 \text{ PPM}) \\ &= 5.7272 \text{ MHz} \pm 2.8 \text{ KHz} \end{aligned}$$

となる。つまり、QPSK信号Sの周波数変動幅は±2.8kHzということになる。これは、明らかに、PLLループ36のキャプチャレンジ、ロックレンジ(±2kHz程度)を外れる。

【0007】この発明は、上述の点に鑑みてなされたもので、位相変調信号と基準信号の周波数差が大きくても、PLLループを確実にロック状態に引き込めるよう

めには復調回路で一定の位相差に固定された基準信号を再生する必要がある。この基準信号を再生する方式として、コスタスループと呼ばれるPLLループがよく用いられる。

【0003】従来用いられていたコスタスループ方式のQPSK信号復調回路を図2に示す。受信されたQPSK信号S<sub>0</sub> (周波数f<sub>rr</sub>)は乗算器10において局部発振器12の出力信号(周波数f<sub>0</sub>)とミキシングされて、5.7272MHzの中間周波数f<sub>ir</sub>に変換される。この周波数変換された信号は、バンドパスフィルタ14を通過後QPSK信号SとしてLSI16内に構成された乗算器18, 20に入力されて、基準信号L<sub>r</sub>, L<sub>0</sub>で位相検波される。乗算器18, 20の出力はLPF (ローパスフィルタ) 22, 24で高域成分が除去され、コンパレータ23, 25で“H”または“L”の信号に波形整形されて復調信号P<sub>out</sub>, Q<sub>out</sub>として出力される。

【0004】基準位相再生器26は、信号P, QからQPSK信号Sと基準信号L<sub>r</sub>, L<sub>0</sub>の位相差を検出する。その位相差検出力ε(t)は、LPF28で平滑されてVCO30 (電圧制御発振器)に制御電圧として印加される。VCO30の出力は、分周器32で1/4分周されて前記基準信号L<sub>r</sub>として前記乗算器18に入力される。また、分周器32の出力は、90°移相器34で位相が90°シフトされて前記基準信号L<sub>0</sub>として前記乗算器20に入力される。

【0005】以上のようにして、PLLループ36が構成され、基準信号L<sub>r</sub>, L<sub>0</sub>がQPSK信号Sと一定の位相差で同期した状態でPLLループ36がロックされる。これにより、QPSK信号Sが正しく復調されて、出力P<sub>out</sub>, Q<sub>out</sub>として取り出される。

## 【0006】

【発明が解決しようとする課題】図2のQPSK復調回路において、PLLループ36のキャプチャレンジ、ロックレンジはLSI16の性能にもよるが、両レンジ共f<sub>ir</sub>の規格値(=5.7272MHz)に対して±2kHz程度である。一方、局部発振器12の発振周波数f<sub>0</sub>の精度誤差は、通常の水素発振器で構成した場合約±30ppmあり、f<sub>rr</sub>=100MHzとした場合の、f<sub>0</sub>によるf<sub>ir</sub>変動幅は、

にした位相変調信号復調回路を提供しようとするものである。

## 【0008】

【課題を解決するための手段】この発明は、位相変調信号をこれと一定の位相差で同期した基準信号で位相検波して復調する位相検波手段と、前記位相変調信号と前記基準信号との位相差を基準位相再生器で検出して、それ

に応じてVCOを駆動して当該位相変調信号と当該基準信号との位相関係を相対的に制御して、それらの位相差を前記一定の位相差に制御するPLLループと、このPLLループを前記基準位相再生器の出力と前記VCOの入力との間の位置でオン、オフするループスイッチと、前記基準位相再生器の出力信号の周波数を検出する周波数検出手段と、前記VCOに対し前記PLLループ以外から制御電圧をオフセット電圧として印加するオフセット電圧印加手段と、前記ループスイッチをオフして、前記基準位相再生器の出力信号の周波数を低下させる方向に前記オフセット電圧を変化させていき、当該周波数により当該PLLループがロックできる範囲内にあることが検出されたら当該オフセット電圧を与えつづけながら前記ループスイッチをオンするループスイッチおよびオフセット電圧制御手段とを具備してなるものである。

【0009】

【作用】この発明は、基準位相再生器の出力信号が位相変調信号と基準信号との周波数差に応じてその周波数を変化させる性質を有する点に着目してなされたもので、PLLループスイッチをオフして基準位相再生器の出力信号の周波数を検出して（周期を検出する場合を含む）、この周波数を低下させる方向にVCOにオフセット電圧を与えていき、PLLループがロックできる範囲にあることが検出されたら、オフセット電圧を与えつづけながらループスイッチをオンするようにしたので、見かけ上VCOの自走周波数がシフトされ、これによりキャプチャレンジやロックレンジが移動して、位相変調信号と基準信号の周波数差が大きくてもPLLループを確実にロック状態に引き込むことができる。

【0010】

【実施例】この発明の一実施例を以下説明する。図1は、その回路構成を示したものである。図2と共通する部分には同一の符号を用いる。受信されたQPSK信号S<sub>0</sub>（周波数f<sub>0</sub>）は乗算器10において局部発振器としてのVCO40の出力信号（周波数f<sub>0</sub>）とミキシングされて、5.7272MHzの中間周波数f<sub>1</sub>に変換

$$\begin{aligned} & ECOS(\omega t + \theta) \cdot E_1 \sin(\omega t + \Delta\omega t + \theta_1) \\ &= \frac{E \cdot E_1}{2} \sin(2\omega t + \Delta\omega t + \theta + \theta_1) \\ &\quad - \sin(\theta_1 - \theta - \Delta\omega t) \end{aligned}$$

となり、LPF22によって2 $\omega t + \Delta\omega t + \theta + \theta_1$

$$\frac{E \cdot E_1}{2} \sin(\theta - \theta_1 - \Delta\omega t) \quad - \text{③}$$

がC点に出力される。同様に①×③式は、

$$ECOS(\omega t + \theta) \cdot E_1 \cos(\omega t + \Delta\omega t + \theta_1)$$

される。この周波数変換された信号は、バンドパスフィルタ14を通過後QPSK信号SとしてLSI16内に構成された乗算器18、20（位相検波手段）に入力される。

【0011】発振器42は例えば水晶発振器で構成され、22.9088MHzの信号を発振する。発振器42の出力は、分周器32で1/4分周されて基準信号L<sub>r</sub>として乗算器18に入力される。また、分周器32の出力は、90°移相器34で位相が90°シフトされて基準信号L<sub>o</sub>として乗算器20に入力される。

【0012】乗算器18、20はQPSK信号Sを基準信号L<sub>r</sub>、L<sub>o</sub>でそれぞれ位相検波する。位相検波出力はそれぞれLPF22、24で高域成分が除去されて、コンパレータ23、25で“H”または“L”の信号に波形整形されて復調信号P<sub>out</sub>、Q<sub>out</sub>として出力される。

【0013】基準位相再生器26は、LPF22、24の出力信号を加算器44で加算した信号と、LPF22、24の出力信号を減算器46で減算した信号とを乗算器48で乗算し、この乗算値とLPF22、24の出力信号を乗算器50で乗算した値とを乗算器52で乗算するように構成されている。基準位相再生器26の出力ε(t)について検討する。QPSK信号Sは、次式で表わされる。

$$【0014】 S = E \cos(\omega t + \theta) \quad - \text{①}$$

但し、 $\omega t = 5.7272 \text{ MHz}$

θは0、90°、180°、270°の位相変化をする。

【0015】次に図1におけるA点、B点の基準信号L<sub>r</sub>、L<sub>o</sub>は、それぞれ次のように表わされる。

$$L_r = E_1 \sin(\omega t + \Delta\omega t + \theta_1) \quad - \text{②}$$

$$L_o = E_1 \cos(\omega t + \Delta\omega t + \theta_1) \quad - \text{③}$$

但し、 $\Delta\omega t$ はQPSK信号Sと基準信号L<sub>r</sub>の周波数差

QPSK信号Sをそれぞれ基準信号L<sub>r</sub>、L<sub>o</sub>を用いて乗算器18、20で位相検波して復調し、LPF22、24を通せば、①式×②式は、

の項は出力されず、結局

5

6

$$= \frac{E \cdot E_1}{2} \{ \cos (2\omega t + \Delta\omega t + \theta + \theta_1) + \cos (\theta - \theta_1 - \Delta\omega t) \}$$

$$+ \cos (\theta - \theta_1 - \Delta\omega t) \}$$

となり、LPF 24の出力のD点には、

$$\frac{E \cdot E_1}{2} \{ \cos (\theta - \theta_1 - \Delta\omega t) \} \quad - \textcircled{5}$$

が出力される。

 $Q^2$ 

【0016】次に、復調された④式の信号をP、⑤式の 10 となる。

信号をQと置くと、

【0017】さらに他の乗算器50の出力H点はP・Q

加算器44の出力E点はP+Q

となり、乗算器52の出力Iには

減算器46の出力F点はP-Q

$P \cdot Q (P^2 - Q^2) \quad - \textcircled{6}$

乗算器48の出力G点は  $(P+Q)(P-Q) = P^2 -$

が出力される。ここでP・Qは

$$P \cdot Q = \frac{E \cdot E_1}{2} \sin (\theta - \theta_1 - \Delta\omega t)$$

$$\cdot \frac{E \cdot E_1}{2} \cos (\theta - \theta_1 - \Delta\omega t)$$

$$= \frac{(E \cdot E_1)^2}{8} \sin (2\theta - 2\theta_1 - 2\Delta\omega t) \quad - \textcircled{7}$$

であり、 $P^2 - Q^2$  は、

$$P^2 - Q^2 = \left( \frac{E \cdot E_1}{2} \sin (\theta - \theta_1 - \Delta\omega t) \right)^2$$

$$- \left( \frac{E \cdot E_1}{2} \cos (\theta - \theta_1 - \Delta\omega t) \right)^2$$

$$= - \frac{(E \cdot E_1)^2}{4} \cos (2\theta - 2\theta_1 - 2\Delta\omega t) \quad - \textcircled{8}$$

である。よって、 $P \cdot Q (P^2 - Q^2)$  は⑦式×⑧式と なり

$$\frac{(E \cdot E_1)^2}{8} \sin (2\theta + 2\theta_1 - 2\Delta\omega t)$$

$$\cdot \left\{ - \frac{(E \cdot E_1)^2}{4} \cos (2\theta - 2\theta_1 - 2\Delta\omega t) \right\}$$

$$= - \frac{(E \cdot E_1)^4}{64} \{ \sin (4\theta - 4\theta_1 - 4\Delta\omega t) \}$$

$$= - \frac{(E \cdot E_1)^4}{64} \sin 4 (\theta - \theta_1 - \Delta\omega t)$$

$$= \frac{(E \cdot E_1)^{\frac{1}{2}}}{64} \sin \{4 \cdot \Delta \omega t - 4(\theta - \theta_1)\}$$

- ⑩

が基準位相再生器26の最終的な出力 $I (= \varepsilon(t))$ となる。これは、 $4 \cdot \Delta \omega t$ が一定( $\Delta \omega = 0$ )であれば、QPSK信号 $S$ と基準信号 $L_r$ との位相誤差( $\theta - \theta_1$ )が $n\pi/4$ のときに、出力電圧 $\varepsilon(t)$ が0になり( $n$ は整数)、この状態でPLLループ36がロックしていることになる。ただし、 $\pi/4$ 、 $3\pi/4$ 、 $5\pi/4$ 、 $7\pi/4$ と0、 $\pi/2$ 、 $\pi$ 、 $3\pi/2$ では出力電圧の極性は逆となるので、 $\pi/4$ 、 $3\pi/4$ 、 $5\pi/4$ 、 $7\pi/4$ の状態ではVCO40にフィードバックした時にPLLループ36がロックするようにVCO40を構成すれば、QPSK信号 $S$ を正しく復調することができる。

【0018】また、⑩式によれば、出力 $\varepsilon(t)$ には $4 \cdot \Delta \omega t$ つまりQPSK信号 $S$ と基準信号 $L_r$ の周波数差の4倍の周波数を持つ $\sin$ 波が現れる。したがって、出力 $\varepsilon(t)$ の周波数を検出することにより、QPSK信号 $S$ と基準信号 $L_r$ の周波数差がわかる。周波数差がない場合は $\varepsilon(t) = 0$ となり、基準位相再生器26の出力信号の周波数は最も低く、すなわち0となる。

【0019】基準位相再生器26の出力信号 $\varepsilon(t)$ はループスイッチ $SW_1$ を介してLPF28で平滑されてVCO40に制御電圧として印加され、その発振周波数および位相を制御する。

【0020】制御回路54は、周波数検出手段およびループスイッチおよびオフセット電圧制御手段に相当する。そして、この復調回路の起動当初はループスイッチ $SW_1$ をオフし、D/A変換器62からのオフセット電圧を初期化(例えば0V)する。このとき、基準位相再生器26の出力信号 $\varepsilon(t)$ の周波数は、QPSK信号 $S$ と基準信号 $L_r$ との周波数差に対応したものとなる。そこで、制御回路54は信号 $\varepsilon(t)$ の周波数を検出して、PLLループ36がロックできる状態にあるか否かを判断する。つまり、信号 $\varepsilon(t)$ の周波数に対応するQPSK信号 $S$ と基準信号 $L_r$ の周波数差がPLLループ36をロックしかつロック状態を持続できる範囲(キャプチャレンジそのものまたはそれよりも狭い範囲)に十分入っていれば、すぐにループスイッチ $SW_1$ をオンしてPLLループ36をロック状態に引き込む。

【0021】また、QPSK信号 $S_0$ または発振器42の発振信号の周波数が規格値からずれているためにQPSK信号 $S$ と基準信号 $L_r$ の周波数差がPLLループ36をロックしかつロック状態を持続できる範囲よりも大きい場合は、D/A変換器62からのオフセット電圧を初期値から徐々に変えていく。このとき制御回路54は信号 $\varepsilon(t)$ の周波数を検出し、PLLループ36をロックしかつロック状態を持続できる範囲に十分入った

ら、その時のオフセット電圧を保持したままループスイッチ $SW_1$ をオンする。これにより、その時のD/A変換器62からのオフセット電圧がVCO40に加わったままの状態(つまり、見かけ上VCO40の自走周波数が変化して、この自走周波数を中心としてその前後に形成されるキャプチャレンジ、ロックレンジ内にQPSK信号 $S$ が確実に入るようにして)PLLループ36が形成されるので、確実にPLLロック状態に引き込むことができる。なお、オフセット電圧は、起動後も与え続ける。また、PLLロック状態に引き込み後に、何らかの原因でロック状態が外れたら、ループスイッチ $SW_1$ をオフしてはじめてからやり直す。つまり、ロック状態を常時検出し、ロックが外れたことが検出されたら制御回路54はループスイッチ $SW_1$ をオフ、オフセット電圧を初期値に戻してはじめてからやり直す。

【0022】図3は、以上説明した制御回路54による制御動作のフローチャートである。また、図4はVCO40の発振周波数 $f_0$ を変化させた場合のPLLループ36のキャプチャレンジの変化を示したものである。QPSK信号 $S_0$ の周波数 $f_{rr}$ を100MHzとし、VCO40の周波数可変範囲を $94.27\text{MHz} \pm 150\text{ppm}$ (通常この程度)とすると、QPSK信号 $S$ の周波数 $f_{rr}$ の変動幅は、 $f_{rr} \pm 14\text{kHz}$ となる。つまり、キャプチャレンジは $f_{rr} \pm 14\text{kHz}$ となる。

【0023】なお、図1において制御回路54、D/A変換器62等は、安価なワンチップマイクロコンピュータで実現できる。また、最近のシステムは何らかの制御のためにマイクロコンピュータを備えているものが多く、これに上記のPLLループロック制御を兼ねさせれば、回路規模、コストはさらに安くなる。

【0024】

【変更例】前記実施例では、VCO40の出力を局部発振周波数としてQPSK信号 $S_0$ とミキシングしてQPSK信号 $S$ を作成する形式の復調回路に適用した場合について説明したが、前記図2の形式の復調回路にも適用することができる。その場合の構成例を図5に示す。ただし、図1の形式のほうがVCO40の発振周波数が高いので、その分キャプチャレンジを広くとれる。つまり、中心周波数に対するキャプチャレンジの割合を同じとすれば(例えば $\pm 150\text{ppm}$ )、周波数が高いほうが可変周波数範囲が広がるので、それだけ引き込みやすくなり、また周波数変動に対する追従性もよくなる。また基準位相再生器は実施例で示した構成のものに限らない。

【0025】また、前記実施例では、PLLループ36がロックした後の基準位相再生器26の出力 $\varepsilon(t)$ が

0Vであると仮定して説明したが、0Vでない場合 ( $\varepsilon(t)$  にDCオフセット電圧が存在している場合) には、PLLループ36がオフ時にDA変換器62の出力電圧でVCO40の発振周波数を所望の値に追い込んだとしても、PLLループ36をオンした時点でVCO40の発振周波数が  $\varepsilon(t)$  のDCオフセット電圧で変動することになる。そこで、このような場合には例えば図1に点線で示すように、別途電圧源56を設けて、PLLループ36のオフ時にスイッチSW<sub>2</sub> をオンして、補正電圧V<sub>1</sub> (PLLループ36がロックしている時の  $\varepsilon(t)$  のDCオフセット電圧にほぼ等しい値) をVCO40に印加することにより、PLL36ループをオン (スイッチSW<sub>1</sub> をオン) した時のVCO40の発振周波数の変動を抑えることができる。

[0026]

【発明の効果】 以上説明したように、この発明は、基準位相再生器の出力信号が位相変調信号と基準信号との周波数差に応じてその周波数を変化させる性質を有する点に着目して、PLLループスイッチをオフして基準位相再生器の出力信号の周波数を検出して、この周波数を低下させる方向にVCOに対してオフセット電圧を与えていき、PLLループがロックできる範囲にあることが検出されたら、オフセット電圧を与えつづけながらループスイッチをオンするようにしたので、見かけ上VCOの

自走周波数がシフトされこれによりキャプチャレンジやロックレンジが移動して、位相変調信号と基準信号の周波数差が大きくてもPLLループを確実にロック状態に引き込むことができる。

【図面の簡単な説明】

【図1】 この発明の一実施例を示す回路図である。

【図2】 従来回路を示す回路図である。

【図3】 図1の制御回路54の制御動作を示すフローチャートである。

10 【図4】 図1の実施例において、VCO40の発振周波数を  $f_0$  を変化させた場合のPLLループ36のキャプチャレンジの変化を示した図である。

【図5】 この発明の他の実施例を示す回路図である。

【符号の説明】

18, 20 乗算器 (位相検波手段)

26 基準位相再生器

36 PLLループ

40 VCO

54 制御回路 (周波数検出手段、ループスイッチおよびオフセット電圧制御手段)

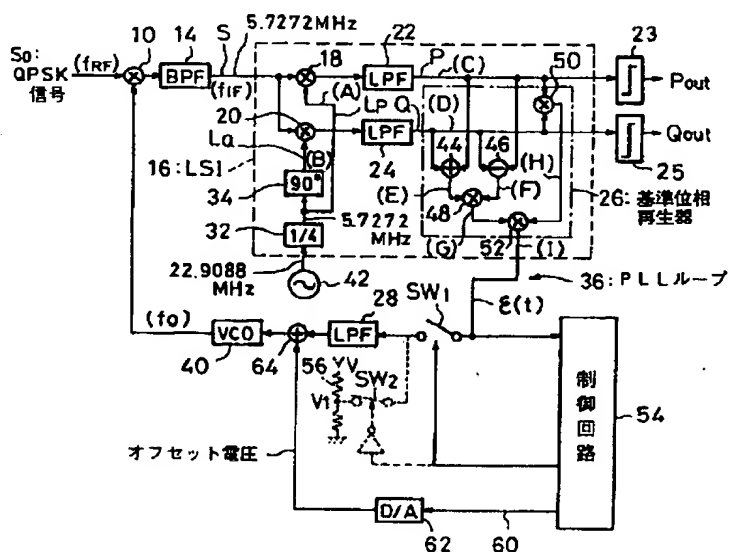
62 D/A変換器 (オフセット電圧印加手段)

S<sub>0</sub>, S QPSK信号

L<sub>r</sub>, L<sub>c</sub> 基準信号

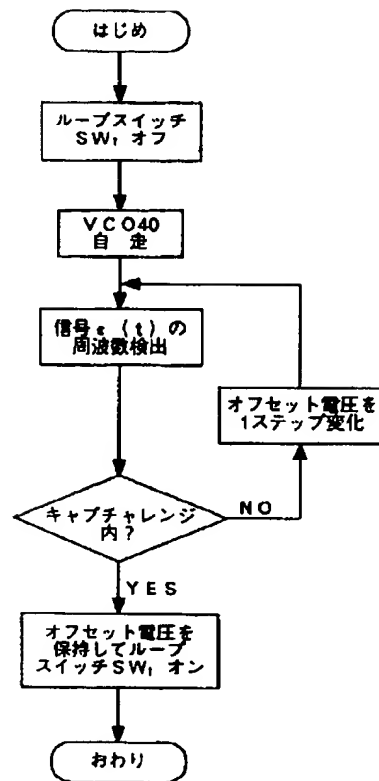
SW<sub>1</sub> ループスイッチ

【図1】





【図3】





【図5】

